

PAT-NO: JP406195887A

DOCUMENT-IDENTIFIER: JP 06195887 A

TITLE: RECORDING SIGN MODULATING DEVICE

PUBN-DATE: July 15, 1994

INVENTOR-INFORMATION:

NAME

ITOI, TETSUSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP04274675

APPL-DATE: October 13, 1992

INT-CL (IPC): G11B020/14, H03M007/30

US-CL-CURRENT: 360/29

ABSTRACT:

PURPOSE: To reduce a DC component by (1, 7)-modulating an ID signal and a data signal after inverting the total bits of either an even symbol or an odd symbol in a sync block at the time of recording.

CONSTITUTION: After an inputted (31) sync block signal and a selection signal 32 for even symbol/odd symbol are added by MOD-2 (modulo 2) by means of a MOD-2 adder 33, the signals are subjected to parallel-series conversion by a parallel series converter circuit 34, (1, 7)-modulated by a (1, 7)-modulator circuit 35, latched by a D-FF 36 and outputted(37). Thus, at the time of encoding, over-heads such as a preamble, a post-amble and synchronizing signal, a data part except an ID signal and the ID signal plus the data part except the synchronizing signal are divided into an even symbol and an odd symbol in a sync block, after inverting the total bits of either of symbols, a Dc component is reduced to nearly a DC-free zone by (1, 7) modulating the ID signal and the data part.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-195887

(43)公開日 平成 6 年(1994) 7 月15日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/14	3 4 1 A	7736-5D		
H 0 3 M 7/30		8522-5 J		

審査請求 有 請求項の数 2 (全 6 頁)

(21)出願番号 特願平4-274675

(22)出願日 平成 4 年(1992)10月13日

(71)出願人 000004237

日本電気株式会社
東京都港区芝五丁目 7 番 1 号

(72)発明者 糸井 哲史

東京都港区芝五丁目 7 番 1 号日本電気株式
会社内

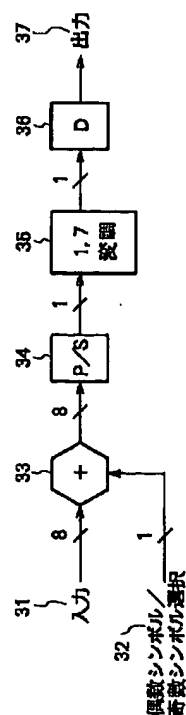
(74)代理人 弁理士 京本 直樹 (外 2 名)

(54)【発明の名称】 記録符号変調装置

(57)【要約】

【目的】 デジタルVTR、デジタル画像記録光ディスク装置において、1, 7変調方式によりデータを記録する場合、特定のデータビットの繰り返しが連続すると大きい直流成分が発生し、ビットエラーレートが劣化してしまうことがある。本発明は、この直流分をできるだけ低減することを目的とする。

【構成】 記録時に1シンクブロック中偶数シンボル、奇数シンボルどちらかを全ビット反転した後、ID信号、データ部分を1, 7変調することにより直流成分の低減を図ったものであり、データビット反転制御回路、並列回路、1, 7変調回路、フリップフロップから構成される記録符号変調装置。



【特許請求の範囲】

【請求項1】 同期信号、ID信号及びデータ信号から成るシンクブロックを入力し、該データ信号、又は該ID信号と該データ信号を偶数シンボルと奇数シンボルに分け、該偶数シンボルと該奇数シンボルのいずれか一方を全ビット反転するデータビット反転回路と、前記反転後のデータを並直列変換する並直列回路と、変換後のID信号とデータ信号を1, 7変調する1, 7変調回路とから構成されることを特徴とする記録符号変調装置。

【請求項2】 同期信号、ID信号及びデータ信号から成るシンクブロックを入力し、該データ信号、又は該ID信号と該データ信号を生成多項式によりランダム化するランダム化回路と、ランダム化後のID信号とデータ信号を1, 7変調する1, 7変調回路とから構成されることを特徴とする記録符号変調装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、デジタルVTR、デジタル画像記録光ディスク装置等のデジタル画像記録装置における記録符号変調装置に関する。

【0002】

【従来の技術】1, 7変調方式は、デジタルVTR、デジタル画像記録光ディスク装置等においてよく使われている符号である。1, 7変調符号変換表の一例を図5に示す。入力したデータ「データビット」として、図5に従って2ビットないし4ビットごとに区切られていき、「チャンネルビット」という3ビットないし6ビットのデータに変換される。また、図5における“X”は、次のチャンネルビットが“0”のときX=“1”であり、次のチャンネルビットが“1”のときX=“0”であることが決まっている。さらに、チャンネルビットは、最終的にNRZ/NRZI変換されて記録される。これにより、1, 7符号の特徴は、最短記録幅 $T_{min} = 1.33T$ (Tは変調前のビット幅)と小さく、最長記録幅 $T_{max} = 5.33T$ と大きいという長所がある一方、検出窓幅 $T_{win} = 0.67T$ と小さい、DCフリーでない、という欠点を持つ。

【0003】この中で特にDCフリーでないという欠点に関しては、特定のデータビットの繰り返しが連続すると大きい直流成分が発生し、ビットエラーレートが大幅に劣化する場合があり、大きな問題点となっている。例えば、図5のデータビットにおいて「1110」が連続したとき、チャンネルビットにおいて「100010」が連続し、その結果、大きい直流成分が発生する。

【0004】

【発明が解決しようとする課題】このように、1, 7符号はよく使われている優秀な記録符号方式であるにもかかわらずDCフリーでないという欠点を持っているため、デジタルVTR、デジタル画像記録光ディスク装置等での実用化を考えたとき、何らかの方法でDC成

分を低減する必要がある。これが可能になれば、さらに1, 7符号の長所を生かした高密度、低エラーレート記録を実現することができる。

【0005】

【課題を解決するための手段】第1の発明の記録符号変換装置は、同期信号、ID信号及びデータ信号から成るシンクブロックを入力し、該データ信号、又は該ID信号と該データ信号を偶数シンボルと奇数シンボルに分け、該偶数シンボルと該奇数シンボルのいずれか一方を全ビット反転するデータビット反転回路と、前記反転後のデータを並直列変換する並直列回路と、変換後のID信号とデータ信号を1, 7変調する1, 7変調回路とから構成されることを特徴とする。

【0006】第2の発明の記録符号変調装置は、同期信号、ID信号及びデータ信号から成るシンクブロックを入力し、該データ信号、又は該ID信号と該データ信号を生成多項式によりランダム化するランダム化回路と、ランダム化後のID信号とデータ信号を1, 7変調する1, 7変調回路とから構成されることを特徴とする。

【0007】

【作用】この発明は、符号化時に、プリアンプル、ポストアンプル等のオーバーヘッド、及び同期、ID信号を除くデータ部分、ないし同期を除くID信号+データ部分を1シンクブロックにおける偶数シンボル、奇数シンボルに分け、偶数シンボル、奇数シンボルどちらからかを全ビット反転した後、ID信号、データ部分を1, 7変調する、或いは、プリアンプル、ポストアンプル等のオーバーヘッド、及び同期、ID信号を除くデータ部分、ないし同期を除くID信号+データ信号1シンクブロック単位にランダム化した後、ID信号、データ部分を1, 7変調することにより、DC成分の低減を実現するという作用を持つ。

【0008】

【実施例】次に、本発明について図面を参照して説明する。

【0009】図1は、第1の発明の一実施例を示すブロック図である。

【0010】図3にはシンクブロックを示してある。この例では、1シンクブロックは174バイトであり、同期2バイト、ID2バイト、データ170バイトから成る。

【0011】21にデータ部分のみを正転/反転制御する場合を示し、22にそのときの偶数シンボル/奇数シンボル選択信号を示す。また、23にID+データ部分を正転/反転制御する場合を示し、24にそのときの偶数シンボル/奇数シンボル選択信号を示す。21、23において“正”が正転、“反”が反転を示している。図示したように、21ではデータ部の奇数シンボルを反転させており、23ではID+データ部の奇数シンボルを

反転させている。

【0012】図1において、31からシンクブロックデータが入力し、32の偶数シンボル/奇数シンボル選択信号と33でMOD-2加算した後、34で並/直列変換し、35で図5に示した1, 7変換を行い、36でラッチし、最後に37へ出力する。本回路によりデータ部、ないしID+データ部を1シンボルごとに反転した後、1, 7変調することができ、DC成分の低減が実現できる。

【0013】図2は、第2の発明の一実施例を示すブロック図である。

【0014】図4にはシンクブロックを示してある。この例では、1シンクブロックは174バイトであり、同期2バイト、ID2バイト、データ170バイトから成る。

【0015】41にデータ部分のみをランダム化する場合は、42にそのときのランダム化回路のプリセット信号をアクティブ"1"で示す。45にランダム化を強制的にストップするストップ信号を示す。また、43にID+データ部分をランダム化する場合を示し、44にそのときのランダム化回路のプリセット信号をアクティブ"1"で示す。46にランダム化を強制的にストップするストップ信号を示す。図示したように、41ではデータ部をランダム化+1, 7符号化しており、43ではID+データ部をランダム化+1, 7符号化している。

【0016】図2において、ランダム化は生成多項式、

$$g(X) = X^8 + X^4 + X^3 + X^2 + 1$$

により行うものとし、また、レジスタは同期信号ないしID信号終了時、ALL"1"にプリセットするものとする。ただし、生成多項式は既約多項式であれば上式に限るものではなく、またプリセットデータもALL"1"に限るものではない。

【0017】ランダム化回路は42、44に従い、プリセット回路51でALL"1"にプリセットされる。その後、52からシンクブロックデータがシリアルで入力し、53のランダム化回路出力と54でMOD-2加算を行い、55で図5に示した1, 7変換を行い、56でラッチし、最後に57へ出力する。ただし45、46に従い、45では同期信号とID信号においてランダム化を強制的にストップし、46では同期信号においてランダム化を強制的にストップする。本回路によりデータ部、ないしID+データ部をランダム化した後、1, 7変調することができ、DC成分の低減が実現できる。

【0018】

【発明の効果】最短記録幅 $T_{\min} = 1.33T$ 、最長

記録幅 $T_{\max} = 5.33T$ 、検出窓幅 $T_{\text{win}} = 0.67T$ という1, 7符号の特性を持ち、かつ、符号化時に、プリアンプル、ポストアンプル等のオーバーヘッド、及び同期、ID信号を除くデータ部分、ないし同期を除くID信号+データ部分を1シンクブロックにおける偶数シンボル、奇数シンボルに分け、偶数シンボル、奇数シンボルどちらかを全ビット反転した後、ID信号、データ部分を1, 7変調する、或いは、プリアンプル、ポストアンプル等のオーバーヘッド、及び同期、ID信号を除くデータ部分、ないし同期を除くID信号+データ部分を1シンクブロック単位にランダム化した後、ID信号、データ部分を1, 7変調することにより、統計的にDCフリー近くまでDC成分の低減を実現できるという効果を持つ。

【図面の簡単な説明】

【図1】第1の発明の一実施例を示すブロック図である。

【図2】第2の発明の一実施例を示すブロック図

【図3】シンクブロック

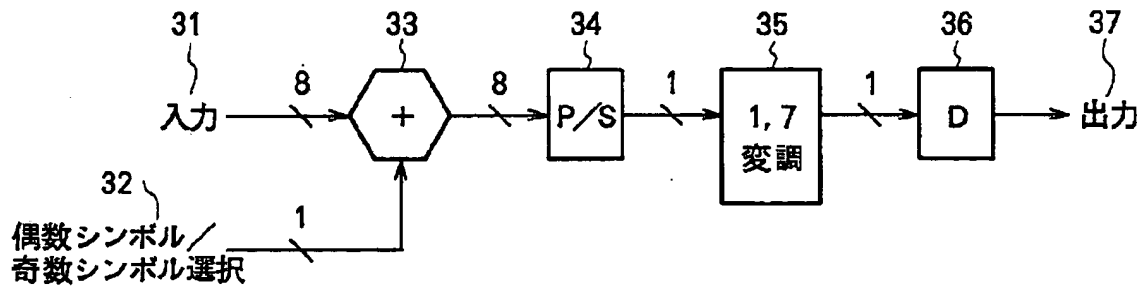
【図4】シンクブロック

【図5】1, 7符号変調テーブル

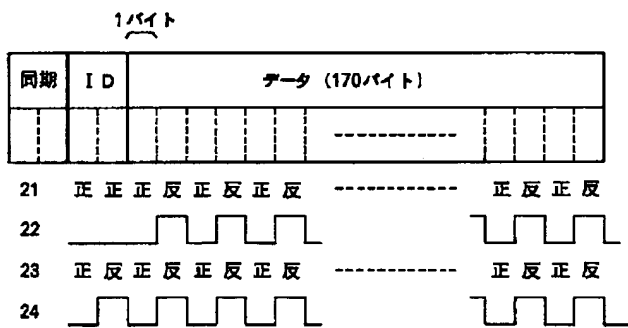
【符号の説明】

- 21 正転/反転制御表示1
- 22 偶数シンボル/奇数シンボル選択信号1
- 23 正転/反転制御表示2
- 24 偶数シンボル/奇数シンボル選択信号2
- 31 入力信号
- 32 偶数シンボル/奇数シンボル選択信号
- 33 MOD-2加算器
- 34 並直列変換回路
- 35 1, 7変換回路
- 36 D-フリップフロップ
- 37 出力信号
- 41 ランダム化領域表示1
- 42 ランダム化回路プリセット信号1
- 43 ランダム化領域表示2
- 44 ランダム化回路プリセット信号2
- 45 ストップ信号1
- 46 ストップ信号2
- 51 プリセット回路
- 52 入力信号
- 53 ランダム化回路出力
- 54 MOD-2加算器
- 55 1, 7変換回路
- 56 D-フリップフロップ
- 57 出力信号
- 58 ストップ信号

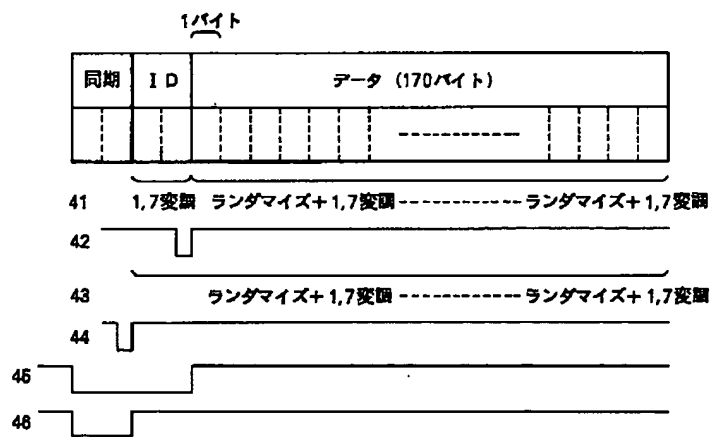
【図1】



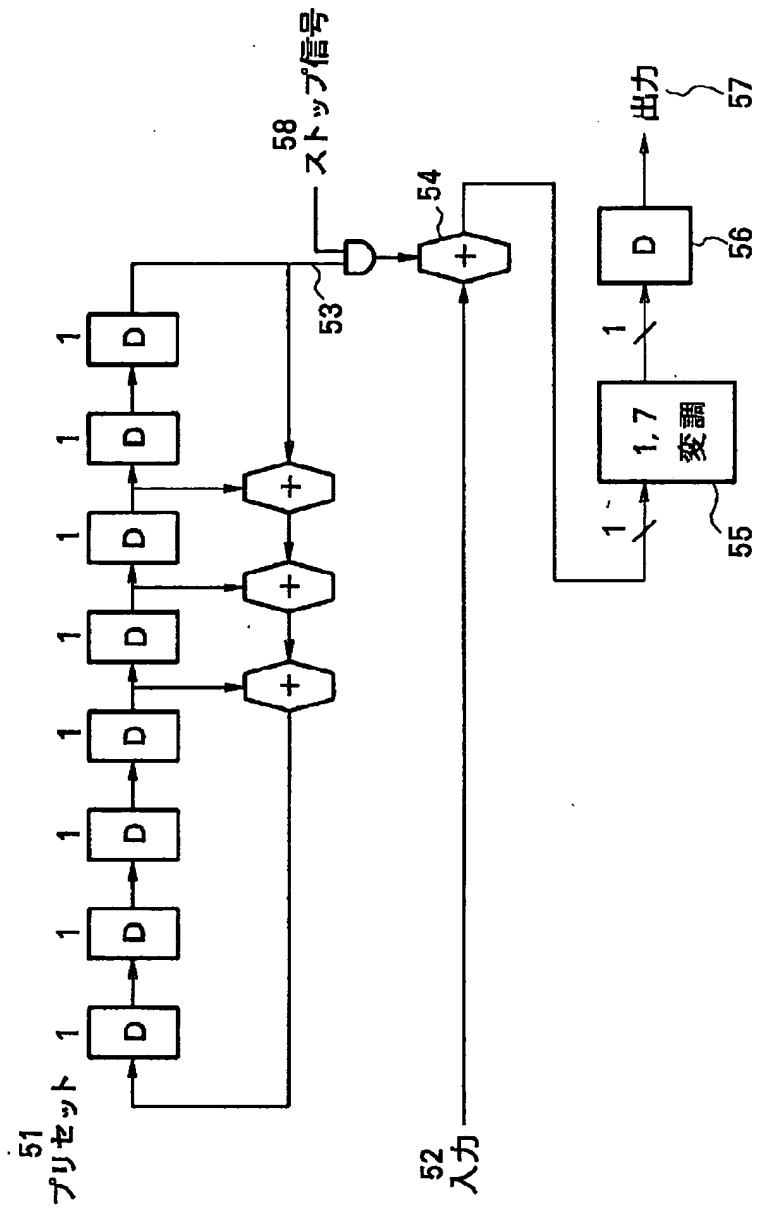
【図3】



【図4】



【図2】



【図5】

データビット	チャンネルビット
00	00X
01	010
10	10X
1100	000010
1101	00000X
1110	100010
1111	10000X

X: 次のチャンネルビットが
"0"の時、X="1"
"1"の時、X="0"